

METHOD FOR MANUFACTURING INTEGRATED CIRCUIT INTEGRATING ELECTRICALLY PROGRAMMABLE NONVOLATILE MEMORY AND HIGH PERFORMANCE LOGIC CIRCUIT NET IN IDENTICAL SEMICONDUCTOR CHIP

Patent number: JP2001313374

Publication date: 2001-11-09

Inventor: PESCHIAROLI DANIELA; MAURELLI ALFONSO; PALUMBO ELISABETTA; PIAZZA FAUSTO

Applicant: STMICROELECTRONICS SRL

Classification:

- **International:** H01L27/10; H01L21/8238; H01L27/092; H01L21/8247; H01L27/115; H01L29/788; H01L29/792

- **European:**

Application number: JP20010095119 20010329

Priority number(s):

Also published as:



EP1139419 (A1)

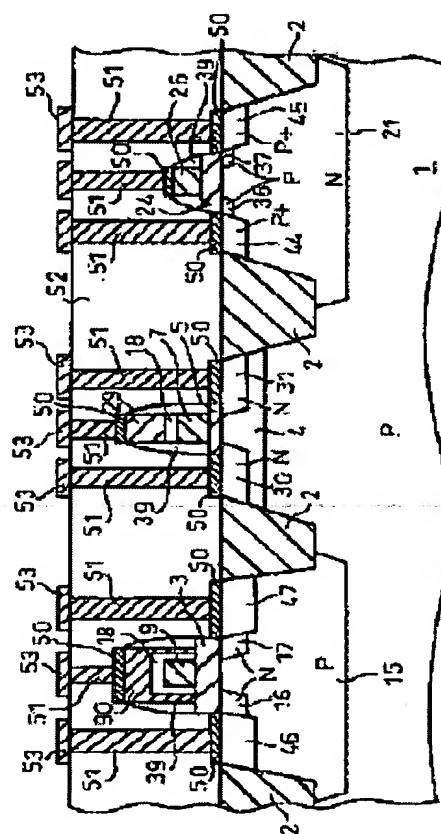
US6482698 (B2)

US2001049166 (A)

Abstract of JP2001313374

PROBLEM TO BE SOLVED: To provide a method for integrating a nonvolatile memory and a high performance logic circuit network in the same semiconductor chip.

SOLUTION: The floating gate of a memory cell of a nonvolatile memory and a gate electrode of a high-voltage transistor regarding the nonvolatile memory are formed of a first polysilicon layer, and the control gate of a memory cell of the nonvolatile memory and the gate electrode of a low voltage transistor regarding a high performance logic circuit network are formed of a second polysilicon layer.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

BEST AVAILABLE COPY

일본공개특허공보 평 13-313374호(2001.11.09) 1부.

[첨부그림 1]

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-313374

(P2001-313374A)

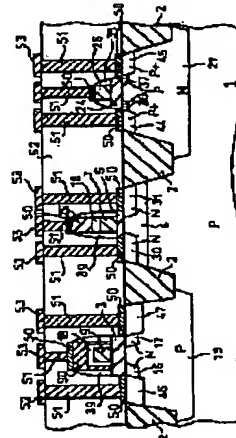
(43) 公開日 平成13年11月9日(2001.11.9)

(51) Int. Cl.	識別番号	F I	特許庁(参考)
H 0 1 L 27/10	4 6 1	H 0 1 L 27/10	4 6 1
	4 8 1		4 8 1
21/8238		27/06	3 2 1 K
27/092			3 2 1 D
21/8247		27/10	4 3 4
審査請求 未請求 請求項の数 8 O L (全 12 頁) 最終頁に続く			
(21) 出願番号	特開2001-95119(P2001-95119)	(71) 出願人	591002832 エスティーマイクロエレクトロニクスエ ス. アール. エル. S T M i c r o e l e c t r o n i c s S. r. l. イタリア国 ミラノ 20041 アグラータ ブリアンツァ ヴィア ツィー オリヴ エッティ 2
(22) 出願日	平成13年9月29日(2001.9.29)	(72) 発明者	ダニエラ ベスキアローリ イタリア国 20131 ミラノ ヴィア ボ ルボラ 154
(31) 優先権主張番号	0 0 8 3 0 2 3 6 : 6	(74) 代理人	100072051 弁理士 杉村 興作 (外1名)
(32) 優先日	平成12年9月29日(2000.9.29)		最終頁に続く
(33) 優先権主張国	欧州特許庁 (E P)		

(54) 【発明の名称】 電気的にプログラム可能な不揮発性メモリと高性能論理回路網とを同じ半導体チップにおいて集積する集積回路を製造する方法

【課題】 不揮発性メモリ及び高性能論理回路網を同じ半導体チップにおいて集積する方法を提供する。

【解決手段】 不揮発性メモリのメモリセルのフローティングゲートと、前記不揮発性メモリに関する高電圧トランジスタのゲート電極とを第1ポリシリコン層によって形成し、前記不揮発性メモリのメモリセルの制御ゲートと、高性能論理回路網に関する低電圧トランジスタのゲート電極とを第2ポリシリコン層によって形成する。



【특정請求의範圍】

【請求項 1】 第 1 動作電圧において動作するメモリデバイスと、前記第 1 動作電圧より低い第 2 動作電圧において動作する高性能論理回路網とを具える集積回路を製造する方法において、
 各々が、前記第 1 動作電圧において動作する第 1 트랜지スタ와、前記第 2 動作電圧において動作する第 2 트랜지스타のための、半導体基板 (1) の第 1 及び第 2 部分における、第 1 厚さを有するゲート酸化物の第 1 層 (3) の形成と、前記メモリデバイスのメモ리스ルのための前記半導体基板의第 3 部分における、第 2 厚さを有するゲート酸化物の第 2 層 (5) の形成と、
 前記基板 (1) の第 1、第 2 及び第 3 部分における、第 1 폴리シリ콘層의堆積と、
 前記第 1 폴리シリ콘層을前記基板의第 1 及び第 3 部分から選択的に除去し、前記第 1 트랜지スタ에關するゲート電極 (8, 9) と、前記 메모리스ル에關するフローティングゲート電極 (7) とを規定し、前記第 1 폴리シリ콘層을前記基板의第 2 部分から完全に除去することと、
 前記基板 (1) の第 1、第 2 及び第 3 部分におけるポリシリ콘間隔電層 (18) の堆積と、
 前記ポリシリ콘間隔電層 (18) 을前記基板 (1) の第 1 及び第 3 部分から選択的に除去して、前記 폴리シリ콘間隔電層 (18) が、前記第 1 트랜지スタ의 게이트電極 (8, 9) と、前記 메모리스ルのフローティング 게이트電極 (7) と에對하여殘るようにし、前記 폴리シリ콘間隔電層 (18) 을、前記基板 (1) の第 2 部分から、前記第 1 酸化物層 (2) と共に完全に除去することと、
 前記第 2 基板部分 (1) における、前記第 1 게이트酸化物層 (3) の第 1 厚さより薄い第 3 厚さを有する第 3 게이트酸化物層 (24) の形成と、
 前記基板 (1) の第 1、第 2 及び第 3 部分における第 2 폴리シリ콘層 (25) の堆積と、
 前記半導体基板의第 3 部分における前記第 2 폴리シリ콘層 (25) 을第 1 選択的 에칭칭し、前記 메모리스ルの 게이트構造 (7, 18, 29) を規定することと、
 前記基板 (1) の第 1 及び第 2 部分における前記第 2 폴리シリ콘層 (25) 을第 2 選択的 에칭칭して、前記第 2 트랜지スタ의 게이트電極 (26, 27) を規定すると共に、前記第 1 트랜지スタ의 게이트電極 (8, 9) に関する 폴리シリ콘카バー (80, 90) を形成することとを有することを特徴とする、
 【請求項 2】 請求項 1 に記載の集積回路を製造する方法において、前記基板 (1) の第 1 及び第 2 部分における第 1 게이트酸化物層 (3) の形成が、前記第 1 酸化物層 (300) の成長と、その後の前記第 1 酸化物層 (300) における第 2 게이트酸化物層 (5) の成長とを有し、前記第 1 게이트酸化物層 (3) が、前記第 1 酸化物

層 (300) 及び第 2 게이트酸化物層 (5) から成るようにしたことを特徴とする、集積回路を製造する方法、
 【請求項 3】 請求項 2 に記載の集積回路を製造する方法において、前記第 1 게이트酸化物層 (3) が 100~300Å の厚さを有し、前記第 2 게이트酸化物層 (5) が 70~110Å の厚さを有し、前記第 3 게이트酸化物層 (24) が 20~80Å の厚さを有するようにしたことを特徴とする、集積回路を製造する方法、
 【請求項 4】 請求項 1、2 又は 3 に記載の集積回路を製造する方法において、前記基板 (1) の第 1 部分における、前記第 1 形式의 트랜지スタ를收容する第 1 場電型의 高電圧ウエル及び第 2 場電型의 高電圧ウエル (11, 15) の形成を有することを特徴とする、集積回路を製造する方法、
 【請求項 5】 請求項 4 に記載の集積回路を製造する方法において、前記高電圧ウエル (11, 15) の形成に關して、第 1 場電型의 도어バント及び第 2 場電型의 도어バントの、各々、 $1 \sim 5 \times 10^{12}$ 原子/cm² 及び $1 \times 10^{12} \sim 1 \times 10^{13}$ 原子/cm² のドーズにおける前記基板 (1) への選択的導入を有することを特徴とする、集積回路を製造する方法、
 【請求項 6】 請求項 5 に記載の集積回路を製造する方法において、前記第 2 基板部分 (1) における、前記第 2 形式의 트랜지スタ를收容する第 1 場電型의 低電圧ウエル及び第 2 場電型의 低電圧ウエル (21, 23) の形成を有することを特徴とする、集積回路を製造する方法、
 【請求項 7】 請求項 6 に記載の集積回路を製造する方法において、前記低電圧ウエル (21, 23) の形成に關して、第 1 場電型의 도어バント及び第 2 場電型의 도어バントの、各々、 $1 \times 10^{12} \sim 1 \times 10^{13}$ 原子/cm² のドーズにおける前記基板 (1) への選択的導入を有することを特徴とする、集積回路を製造する方法、
 【請求項 8】 同 じ半導体チップ에對하여集積された、低電圧에對하여動作する高性能論理回路網と、前記低電圧より高い高電圧에對하여動作するメモリデバイスと、前記メモリデバイス에關する、前記高電圧에對하여動作する高電圧回路網とを具える集積回路에對하여、前記高電圧에關する回路網が、第 1 厚さを有する第 1 게이트酸化物層 (3) と、第 2 폴리シリ콘層 (25) から形成されたカバー (80, 90) によって覆われたポリシリコン間隔電層 (18) によって覆われた第 1 폴리シリコン層 (6) から形成された 게이트電極とを有する第 1 트랜지スタ를具え、前記メモリデバイス가、第 2 게이트酸化物層 (5) と、前記第 1 폴리シリ콘層 (6) から形成されたフローティング 게이트 (7) と、前記第 2 폴리シリ콘層 (25) から形成された制御 게이트 (29) とを各々が有し、前記フローティング 게이트及び制御 게이트가前記 폴리シリ콘間隔電層 (18) によって分離された 메모리스를具え、前記低電圧論理回路網

가, 第3게이트산화물층(24)과, 前記第2폴리シリ콘층(25)에서 형성된 게이트(26, 27)와를 각각이 있는 제2트랜지스터를 구성하는 것을 특징으로 하는 집적회로.

【0001】

【発明の課題と発明分野】 本発明は、一般的に、集積回路の製造に関する。さらに特に、本発明は、電氣的にプログラム可能な不揮発性メモリと、高性能論理回路網とを、同じ半導体チップにおいて集積することの問題に方向け、これを解決する。

【0002】

【従来の技術】 電子システム全体又はサブシステムの単一の半導体チップにおける製造に向けられた集積技術の進歩は、論理回路を、高い性能の信頼性を有するメモリと、同じチップにおいて集積することの能力を含む。

【0003】 特に、特にフラッシュEEPROMのような電氣的にプログラム可能で且つ可能な形式の不揮発性メモリを、高性能論理回路網、すなわち、高速かつ低消費回路網の製造に関するCMOSプロセスにおいて集積する必要性が増している。

【0004】 しかしながら、この形式の組み合わせは、技術的な観点から、特に、動作電圧の点から、さらに異なる必要条件のため、達成することがますます困難になっている。

【0005】 実際には、一方において、高性能論理回路網に関するCMOSプロセスの自然な進歩は、動作電圧における漸進的な低下を遂げ、トランジスタの寸法を減少することを可能にし、寸法及び動作電圧における低下は、ゲート酸化膜の厚さと、トランジスタ接合の深さにおける対応する低下を導く。

【0006】 他方において、電氣的にプログラム可能な不揮発性メモリは、比較的高い動作電圧を必要とし、メモリの寸法における減少にも係らず、少なくともフロートゲート不揮発性メモリに関する限りでは、これらの電圧値を、近い将来において有意に減少させることは可能だと思われない。

【0007】 例えば、0.25 μ m技術に関して、高性能論理回路網に関して設計された進歩したCMOS製造技術によって製造されたトランジスタは、約0.9Vないし約2.5Vの印加電圧範囲内の動作に最適化され、これらのトランジスタは、約5nm厚のゲート酸化膜と、約8-10Vより高くない電圧に耐えることができるソース/ドレイン接合とを有する。

【0008】 他方において、フラッシュEEPROMメモリは、メモリのプログラミングに10-12Vの範囲内のプログラミング電圧を必要とし(前記プログラミング電圧は、他の形式の不揮発性メモリよりさらに高い)、これらの電圧に耐えられるようにするために、前記トランジスタは、15-18nmの範囲内の厚さと、

少なくとも前記プログラミング電圧より高い閾値電圧を有するソース/ドレイン接合とを有しなければならない。

【0009】

【発明が解決しようとする課題】 これらの矛盾する条件を調和させるのは容易ではない。一方において、前記トランジスタの構造を、これらが不揮発性メモリによって必要な前記比較的高い電圧に耐えることができるようにするために、進歩したCMOS技術内で偏光しようとするなどのような試みも、前記論理回路網の性能における許容し得ない低下を生じさせる。他方において、高性能CMOSTランジスタと、比較的高い電圧に耐えることができるトランジスタの双方を製造する周辺構造の完全な複製は、前記製造プロセスのフォトリソグラフィマスクの数を著しく増加させる。

【0010】 比較的高い密度(すなわち、256-512キロビット)のフラッシュEEPROMメモリを製造する方法は、2つのポリシリコンレベル、前記メモリセルのフローティングゲートを形成するのに使用される下方レベル(“第1ポリ”)と、前記メモリセルの制御ゲート及びメモリサービス回路(セル選択回路、読み出し回路、及び、プログラミング回路、等)のトランジスタのゲートの双方を形成するのに使用される上方レベル(“第2ポリ”)とを必要とする。この方法は、少なくとも2つの異なるゲート酸化物層も必要とし、約10nm厚の一方の層は、基板の表面と前記下方ポリシリコンレベルとの間に形成され、前記メモリセルに関するゲート酸化物層として動作し、約15nm厚の他方の層は、前記基板と前記上方ポリシリコンレベルとの間に形成され、前記サービス回路のトランジスタのゲート酸化物層を構成する。

【0011】 同じ製造方法において、前記メモリの低い印加電圧における性能を改善するために、薄いゲート酸化物層(7-10nm)を有するトランジスタも提供されており、これらのトランジスタは、前記第2ポリシリコンレベルから形成されたゲート電極を有する。しかしながら、必要な追加のマスクの数を最小にするために、薄いゲート酸化物層を有するこれらのトランジスタは、多くの構造的要素を、例えば前記メモリセルをプログラミングするのに必要な比較的高い電圧を制御するより薄いゲート酸化物層を有するトランジスタと共有する。

【0012】 不揮発性メモリ、例えば、フラッシュEEPROMを、進歩したCMOS製造プロセスによって集積すべき場合、前記高性能トランジスタの構造を維持しなければならない。これを達成するために、前記高性能トランジスタは、構造的要素を、前記メモリセルによって必要とされる比較的高い電圧を制御するトランジスタと共有することはできない。したがって、2つの異なるゲート酸化物層と、しきい値電圧を調節する1つ又は2つの追加マスクとの形成を与えるだけでは十分ではな

い、実施例には、前記高電圧トランジスタに関する高電圧接合を製造するために追加の特別なマスクが必要であり、したがって、追加のマスクの数は、容易に過度になってしまう。

【0013】上述した先行技術の観点において、本発明の目的は、不揮発性メモリ及び高性能論理回路網を同じ半導体チップにおいて集積する方法を提供することである。

【0014】【課題を解決するための手段】本発明によれば、この目的は、添付した請求項1において規定した方法によって達成される。

【0015】本発明の特徴及び利点は、添付した図面の助けと共に、特に非限定的な例として与えた以下のその好適実施形態の詳細な説明から明かになるであろう。

【0016】【発明の実施の形態】図面、特に図1を参照し、半導体材料、代表的にp型単結晶シリコンの基板1から開始して、薄いシリコン酸化物絶縁層2を基板1上に形成する。絶縁層2を、例えば、基板1において、シリコン酸化物によって満たされる表面“溝”の形成によって作成してもよい。

【0017】望むなら、ドーパントを、基板1において、この点において特別なフォトリソグラフィマスクによって選択的にインプラントし、代表的に、基板1のバイアスと別に前記メモリのポティをバイアスするために設けられた、埋められた“ウェル”又は“タブ”を形成してもよい。

【0018】次に、シリコン酸化物の層300を、基板1の表面上に形成する。酸化物層300は、好適には、約100~200Åの厚さを有し、前記高電圧トランジスタ、すなわち、例えばそのプログラミングのために前記メモリのセルに必要な比較的高い電圧を制御しなければならぬトランジスタのゲート酸化物の形成に寄与する。酸化物層300を形成した後、フォトリソグラフィマスクを前記基板の表面に塗布し、p型ドーパント、代表的にはボロンを、前記メモリのセルを形成すべき基板1の領域において、 $1 \times 10^{12} \sim 1 \times 10^{13}$ 原子/cm²のドーピングで選択的にインプラントする。このドーパントインプラントレーションは、前記メモリのセルのしきい値電圧を調節するのに有用である。同じフォトリソグラフィマスクの使用により、酸化物層300を、基板1の前記メモリのセルを形成すべき領域から選択的に除去する。これらのステップの後、構造は図2に示すようになり、この図において、前記セルのしきい値電圧の調節に関するドーパントを導入し、表面から酸化物層300を除去した基板1の領域を4で示す。

【0019】次に、酸化物層300より薄いシリコン酸化物層5を、領域4において、図3に示すように形成す

る。約70~100Åの代表的な厚さを有する酸化物層5は、前記メモリのセルに関するゲート酸化物(EEPROM又はフラッシュEEPROMメモリの特別な場合におけるトンネル酸化物)として働き、前に形成された酸化物層300と共に、前記高電圧トランジスタに関するゲート酸化物の形成を完成し、前記高電圧トランジスタは、酸化物層300及び酸化物層5の厚さの合計に等しい厚さの複合酸化物層3によって構成され、約100~300Åの全体的な厚さを与える(図面において、酸化物層3を、簡単のために1つの層として示し、酸化物層5を層300に重ね、低電圧トランジスタを収容する前記基板の領域において形成したが、これは、後述するように、この層3はこれらの領域から完全に除去されるため、重要ではない)。

【0020】依然として図3を参照し、次に、第1ポリシリコン層6を、前記チップの表面において堆積させる。図4を参照し、次に、フォトリソグラフィマスク100を前記チップに塗布し、第1ポリシリコン層6を選択的にエッチングし、除去し、前記メモリのセルに関するフローティングゲート7を規定する。同時に、前記高電圧トランジスタに関するゲート電極8及び9を、第1ポリシリコン層6において規定する。マスク100は、第1ポリシリコン層6も、基板1の前記高性能論理回路網の低電圧トランジスタを形成すべき領域から完全に除去されるようなレイアウトを有することに注意すべきである。

【0021】マスク100を完全に除去した後、マスク10を塗布し、n型ドーパント、代表的にリンを、約 $1 \sim 5 \times 10^{13}$ 原子/cm²のドーピングで選択的にインプラントし、拡散させ、pチャネル高電圧トランジスタ(図5)を含むn型ウェルを形成する。必要又は望むなら、他のインプラントレーションを、n型ウェル11において、前記pチャネル高電圧トランジスタのしきい値電圧の調節のために行ってよい。これらのインプラントレーションを、前記ドーパントが酸化物層3及びポリシリコンゲート8の下に貫通するのに十分な高いエネルギーで行わなければならない。好適なインプラントレーションエネルギーは、例えば、150~250kV及び250~400kVである。

【0022】p型ドーパント、代表的にBF₂を、n型ウェル11において、同じマスク10によって、例えば、 $1 \times 10^{13} \sim 1 \times 10^{14}$ 原子/cm²のドーピングでインプラントし、拡散させ、前記pチャネル高電圧トランジスタに関するゲート電極8のそばに配置された比較的深くドーピングされたソース及びドレイン領域12及び13を形成する。これらの比較的深くドーピングされた領域12及び13は、“深くドーピングされたドレイン”又はLDD領域として知られる)前記p型高電圧トランジスタのソース及びドレイン領域の深くドーピングされた部分を構成する。このインプラントレーションを、前記前のイ

ンプランテーションより低いエネルギーにおいて行い、前記 p 型ドーパントがゲート電極 8 の下に貫通しないようにする。好適なエネルギーは、例えば、30ないし70kVである。これらのステップ後、構造は、図5に示すものとなる。

【0023】次に、マスク10を除去する。

【0024】同様な方法を、n型高電圧トランジスタに関して繰り返す。マスク10と同様のマスク14を、前記チップに塗布する。マスク14は、前記チップの、pチャネル高電圧トランジスタ、メモリセル及び前記高性能論理回路の低電圧トランジスタを集積すべき領域を覆い、マスク14の使用により、p型ドーパント、例えばボロンを、基板1において選択的にインプラントし、拡散させ、前記nチャネル高電圧トランジスタを含むp型ウェルを形成する。好適なインプラントエネージは、例えば、 $1 \times 10^{12} \sim 1 \times 10^{13}$ 原子/cm²である。好適なインプラントエネージは、前記ドーパントがゲート酸化膜3及びポリシリコンゲート9を貫通することを可能にする150ないし300kVである。

【0025】n型ドーパント、例えば、リンを、同じマスク14によってインプラントし、p型ウェル15中に拡散させ、前記nチャネル高電圧トランジスタに関する比較的深くドーパされたn型ソース及びドレイン領域16及び17を形成し、これらの領域16及び17は、前記nチャネル高電圧トランジスタに関するLDD領域を構成する。このインプラントエネージを、好適には、 $1 \times 10^{13} \sim 1 \times 10^{14}$ 原子/cm²とし、インプラントエネージは、好適には、50ないし100kVとし、このエネルギーは、前記ドーパントがポリシリコンゲート10の下に貫通するのを防ぐほど低い。

【0026】次に、マスク14を除去する。

【0027】この時点において、前記メモリセル及び高電圧トランジスタの集積に必要な特別な熱処理は完了する。

【0028】次に、前記高性能論理回路網の低電圧トランジスタを収容するn型及びp型ウェルを形成する。この目的のため、マスク20を前記チップに塗布する。マスク20を前記チップに塗布する。マスク20は、前記チップの、前記メモリセル及び高電圧トランジスタのための領域と、前記高性能論理回路網に関する前記n型低電圧トランジスタの集積のための領域とを覆う。マスク20は、前記チップの、前記高性能論理回路網の前記p型低電圧トランジスタのための領域は覆わないままである。マスク20の使用により、n型ドーパント、例えば、リンを、基板1においてインプラントし、拡散させ、前記低電圧pチャネルトランジスタを含むn型ウェル21を形成する。好適なインプラントエネージは、例えば、 $1 \times 10^{12} \sim 1 \times 10^{13}$ 原子/cm²

であり、好適なインプラントエネージは、50ないし100kVである。これらのステップ後、構造は、図7に示すようになる。

【0029】次に、マスク20を除去し、マスク20と同様のマスク22を前記チップに塗布し、このマスク22は、前記チップの、前記メモリ、高電圧トランジスタ及びpチャネル低電圧トランジスタのための領域を覆い、前記nチャネル低電圧トランジスタのための領域は覆わないままである。p型ドーパント、例えば、ボロンを、基板1中にインプラントし、拡散させ、前記高性能論理回路網の低電圧nチャネルトランジスタを含むp型ウェル23を形成する。好適なインプラントエネージは、例えば、 $10^{12} \sim 1 \times 10^{13}$ 原子/cm²のオーダーであり、インプラントエネージは、30ないし300kVである。図8に示す構造が生じる。

【0030】マスク20を前記チップから除去した後、誘電層18を、図9に示すようにその表面に堆積させる。誘電層18は、既知のポリシリコン間（“インターポリ”）誘電層であり、このポリシリコン間誘電層は、フローティングゲートMOSトランジスタによって構成されたセルを有する不揮発性メモリにおいて、前記メモリセルの前記第1ポリシリコン層によって形成されたフローティングゲートを前記メモリセルの前記第2ポリシリコン層によって形成された制御ゲートから分離する。慣例的には、ポリシリコン間誘電層18を、好適には、トリプル酸化物-窒化物-酸化物（“ONO”）層とする。本方法のこのステップは、無視できる熱バランスを有することに注意すべきである。

【0031】前記ポリシリコン間誘電層18を堆積した後、マスクを前記チップに塗布し、その後の選択的エッチングに使用する。フローティングゲートMOSトランジスタによって構成されたメモリセルを有する不揮発性メモリを製造する慣例的な方法において、このマスクは、メモリセルのマトリックスを収容する前記チップの領域を除く前記インターポリ誘電層の選択的除去のために働き、前記領域は、正確に、前記メモリセルのフローティングゲートをこれらの制御ゲートから分離するために前記インターポリ誘電層が必要とされる場所である。この理由のために、このマスクは、しばしば、“マトリックスマスク”と呼ばれる。

【0032】不揮発性メモリを製造する慣例的な方法と相違して、本発明による方法において、前記マトリックスマスクのジオメトリ（“レイアウト”）を、前記マトリックスマスクが、前記メモリセルのマトリックスを収容する前記チップの領域を覆うように修正するが、慣例的な方法におけるように、前記高電圧トランジスタを収容する前記チップの領域において、前記マトリックスマスクを、前記選択的エッチング中、インターポリ誘電層18が、前記高電圧トランジスタのポリシリコンゲート

8及び9上にも残り, 前記メモリマト릭스의領域において, 前記第1ポリシリコン층のその後段に接触すべき部分(例えば, 圖16及び17に示すような, 前記高電圧トランジスタ의 게이트 8及び9의領域)と, 前記トランジスタ의 소스及び드레인接触 12, 13, 16及び17と가, ポリシリ콘間접電阻 18から自由なままであるように整形する.

【0033】依然として本発明によれば, ポリシリコン間접電阻 18의 에칭中, この時点までに前記高性能論理回路網의 低電圧トランジスタのための前記チップの領域において殘る殘余酸化物 3もエッチングし, 除去する.

【0034】ポリシリコン間접電阻 18及び殘余酸化物 3의 에칭中の完了に応じて, 前記マト릭스マスクを除去し, 構造は圖10に示すようになる.

【0035】接触すべき領域からの前記ポリシリコン間접電阻の除去は, 其の後の絶縁領域 2において存在する前記シリコン酸化物に關して高選択的であるエッチングによる, いわゆる“ボータレス”接触, すなわち, 絶縁酸化物領域に自己整列するように形成された接触の形成に必須である.

【0036】酸化物層 3の厚さより薄い, 好適には20~80Åの厚さを有するシリコン酸化物層 24を, 前記高性能論理回路網의 低電圧トランジスタのための前記チップの領域における基板 1の表面と, したがってn型ウェル 21及びp型ウェル 23上とに成長させる.

【0037】次に, 第2ポリシリコン層 25を, 前記チップ全体において堆積し, 圖11に示す構造を生じる.

【0038】この時点において, 前記メモリセルに特有の最後のステップを行う. 第2ポリシリコン層 25, ポリシリコン間접電阻 18及び第1ポリシリコン層 6の自己整列選択的エッチングを, 前記メモリセルの領域において, 不揮発性メモリを製造する慣例的な方法の内にすでに与えられ, 前記高電圧トランジスタ及び低電圧トランジスタのための前記チップの領域と, 前記セルを形成すべき前記メモリマト릭스의ための領域の部分とを覆うマスク 28によって行う. このようにして, 前記メモリセルのフローティングゲート 7及び制御ゲート 29は, 完全に規定される. 前記メモリセルの“スタックゲート”構造が完全に規定された後, n型ドープバント, 例えばヒ素を, 同じマスク 28の使用によってインプラントし, 拡散させ, 前記メモリセルのソース及びドレイン領域 30及び31を形成する. 好適なインプラントエジョンドーズ及びエネルギーは, 例えば, 1~5×10¹⁵原子/cm²及び40~100keVである. これらのステップの後, 構造は圖12に示すようになる. このようにして, 前記メモリセルの構造を完成する.

【0039】次に, マスク 28を除去し, 其の後の, 前記論理回路網의 pチャネル及びnチャネル低電圧トランジスタ의 게이트 26及び27を規定するための, 前記高

性能論理回路網의 低電圧トランジスタのための前記チップの領域における第2ポリシリコン層 25の選択的エッチングのための別のマスク 280を前記チップに給布する. 前記高電圧トランジスタ의 게이트 8及び9を覆うカバ—80及び90も, 第2ポリシリコン層 25において, 同じマスク及び同じエッチングプロセスによって規定する. 前記第2ポリシリコン層が前記高電圧トランジスタ上に残っているという事実は, フローティングポリシリコンスペーサ가前記게이트の側において形成することを防く. 圖16及び17に示すように, 前記高電圧トランジスタが關係する限り, マスク 280のレイアウトを, 第2ポリシリコン層 25において規定されたカバ—80及び90が, これらのトランジスタ의 게이트 8及び9を覆うポリシリコン間접電阻 18の部分の内側に配置されるようにする.

【0040】次に, 慣例的な方法ステップは, (例えば, 圖15において示す領域 36及び37のような) 前記高性能論理回路網의 nチャネル及びpチャネル低電圧トランジスタに關するソース及びドレイン領域の軽くドーパされた部分(LDD)の形成に続く.

【0041】次に, スペーサ(圖15において39で示す)を, 既知のように, 前記メモリセルの게이트と, 高電圧及び低電圧双方のトランジスタ의 게이트の側において形成する.

【0042】前記スペーサを形成した後, ソース及びドレイン領域のより軽くドーパされた部分(例えば, 圖15の領域 44, 45及び46, 47)を, 前記高電圧及び低電圧トランジスタに關して形成する.

【0043】次に, シリサイド化プロセスを, 好適には, 前記トランジスタ의 소스及び드레인領域と, これらの게이트とにおいて行い, シリサイド領域を形成する.

【0044】次に, 絶縁層を堆積し, これらにおいて, 前記高電圧及び低電圧トランジスタ의 게이트とソース及びドレイン領域と, 前記セルの게이트とソース及びドレイン領域とに接触するためのビアを開ける.

【0045】圖15は, 前の圖と比較してわずかに拡大したスケールにおいて, 前記製造プロセスの完了における前記nチャネル高電圧トランジスタ, メモリセル及びpチャネル低電圧トランジスタを示す. すでに説明した要素と同時に, 前記高電圧トランジスタ及び低電圧トランジスタの軽くドーパされたソース及びドレイン領域 46, 47, 44及び45上と, 前記メモリセルのソース及びドレイン領域 30及び31上と, 前記게이트電極上とに形成されたシリサイド領域 50が見える. 絶縁層 52において形成され, 金属化ライン 53が前記トランジスタ及びメモリセルのソース及びドレイン領域と게이트電極とに接触することを可能にするコンタクトビア 51も見える.

【0046】圖16は, 高電圧トランジスタの模式的平

면도이며, 圖 17 は, 該圖 16 のライン×V11-
×V11 によって示す面において切断した面を示す。前
記トランジスタの第1ポリゲート9を覆うポリシリコン
間隔電層18の部分は、第2ポリカバー90が完全にポ
リシリコン間隔電層18内になるように延在することに
注意すべきである。ポリシリコン間隔電層18は、第2
ポリカバー90に接触するコンタクト51の列と、他方
において、下にある第1ポリゲート9に接触するコンタ
クト51の列との間の位置において休する。

【0047】前記高電圧トランジスタのゲート8及び9
上のポリシリコンカバー80、90の存在によって、比
較的低くドーパされたソース及びドレイン領域の部分1
2及び13を、領域46及び47を形成するための比較
的高いドーパにおけるドーパントのインプランテーシ
ョン中に保護する特別なマスクを設ける必要はない。実際
には、カバー80及び90がこの機能を行う。カバー8
0及び90は、前記比較的低くドーパされたソース及び
ドレイン部分がシリサイド化されるのを防ぐ機能も行
い、これは、通常、特別なマスクの塗布を必要とする。

【0048】本発明の有利な態様は、メモリデバイスと
高性能論理回路網とを同じチップにおいて集積する製
造方法の状況内で、前記メモリセルのフローティングゲ
ートと前記高電圧トランジスタのゲート電極の双方を形
成する同じポリシリコン層(前記第1ポリシリコン層)
を使用することから成る。

【0049】この形式のアプローチは、前記高電圧トラ
ンジスタに関するソース及びドレインインプランテーシ
ョンを、前記低電圧トランジスタに関するソース及びド
レインインプランテーションから完全に分離することを
可能にする。

【0050】本発明による方法は、プログラム可能な不
揮発性メモリの製造に必要な方法のステップを、進歩し
た高性能論理回路網の製造方法に、前記論理回路網を製造
するのに必要なマスクに加えて最小の数のマスクで、組
み込むことを可能にする。高密度メモリに関する上述し
た実施形態において、高性能論理回路網に関する方法に
おいて設けられるマスクに加えて5つのマスクが存在
し、より正確には、前記メモリセルのトンネル酸化膜を
形成するマスクと、前記第1ポリシリコンレベルを規定
するマスクと、前記pチャネル高電圧トランジスタに関
するn型ウェルを形成するマスクと、nチャネル高電圧
トランジスタに関するp型ウェルを形成するマスクと、
前記マトリックス領域における第2ポリシリコンレベル
及びインターポリゲート層の自己整列エッチングに関する
マトリックスマスクと、前記マトリックスにおける第2
シリコンレベル及びポリシリコン間隔電体の自己整列エ
ッチングに関するマスクとが存在する。

【0051】さらに追加のマスクによって、前記メモリ
セルのボディを、基板1の分極とは別個に分極できるよ
うにするために、この中で前記メモリセルを形成する環

の込みウェルを形成することができる。この場合におい
て、追加のマスクの数は7になる。

【0052】上述した6つ又は7つのマスクに加えて依
然として他の追加のマスクによって、高密度メモリさえ
集積することができ、この目的に関して、自己整列され
たソースを有するメモリマトリックスの製造に関するマ
スクを設けるだけで十分である。

【0053】他の形式のメモリセルを集積すべき場合、
追加のマスクの数を、上述した実施形態より少なくして
もよく、例えば、前記メモリマトリックスの領域におけ
る第2ポリシリコンレベル及びポリシリコン間隔電体の
自己整列エッチングに関するマスクをなくすことによっ
て、5つに減らすことができる。

【0054】
【発明の効果】本発明による方法の固有のモジュラリテ
ィによって、前記低電圧論理回路網のトランジスタの性能
は、本方法内の、前記メモリセルと前記比較的高電圧の
トランジスタとを集積する特別なステップの導入によっ
て変化しない。前記低電圧トランジスタにおける影響
は、前記メモリセルを製造するのに必要な本方法のステ
ップは開始時に関係するため、最小である。

【図1】 本発明による製造方法の主なステップを断面
図に示す図である。

【図2】 本発明による製造方法の主なステップを断面
図に示す図である。

【図3】 本発明による製造方法の主なステップを断面
図に示す図である。

【図4】 本発明による製造方法の主なステップを断面
図に示す図である。

【図5】 本発明による製造方法の主なステップを断面
図に示す図である。

【図6】 本発明による製造方法の主なステップを断面
図に示す図である。

【図7】 本発明による製造方法の主なステップを断面
図に示す図である。

【図8】 本発明による製造方法の主なステップを断面
図に示す図である。

【図9】 本発明による製造方法の主なステップを断面
図に示す図である。

【図10】 本発明による製造方法の主なステップを断面
図に示す図である。

【図11】 本発明による製造方法の主なステップを断面
図に示す図である。

【図12】 本発明による製造方法の主なステップを断面
図に示す図である。

【図13】 本発明による製造方法の主なステップを断面
図に示す図である。

【図14】 本発明による製造方法の主なステップを断面
図に示す図である。

【図 15】 前記製造プロセスの完了における材の図の構造を、断面において、比較してわずかに拡大したスケールにおいて示す図である。

【図 16】 高電圧トランジスタの模式的平面図である。

【図 17】 高電圧トランジスタの図 16 のライン×V I I - X V I I の面において取った断面図である。

【符号の説明】

- 1 基板
- 2 シリコン酸化物絶縁膜
- 3、5、24、300 ゲート酸化物層
- 4 表面から酸化物層300を除去した基板1の領域
- 5 第1ポリシリコン層
- 7 フローティングゲート
- 8、9、26、27 ゲート電極
- 10、14、20、22、28、100、280 フォトリソグラフィマスク
- 11、21 n型ウェル
- 12、16、36 ソース領域の深くドーピングされた部分

13、17、37 ドレイン領域の深くドーピングされた部分

15、23 p型ウェル

18、52 誘電層

25 第2ポリシリコン層

29 制御ゲート

30 ソース領域

31 ドレイン領域

34 シリコン酸化物層

39 スペース

44、46 ソース領域の深くドーピングされた部分

45、47 ドレイン領域の深くドーピングされた部分

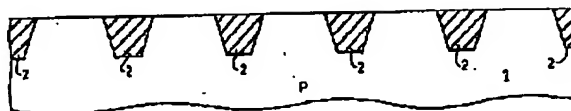
50 シリサイド領域

51 コンタクト

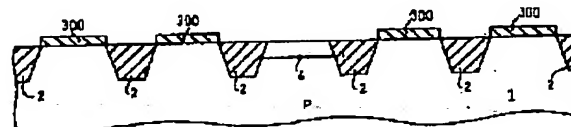
53 金属化ライン

80、90 カバー

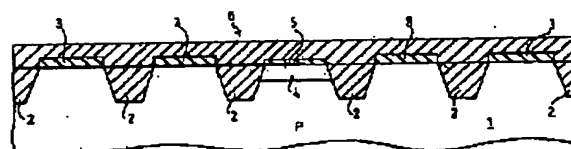
【図 1】



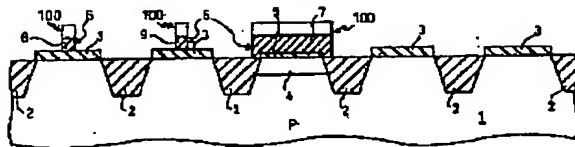
【図 2】



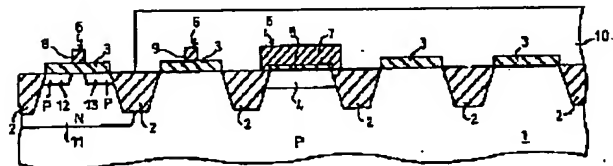
【図 3】



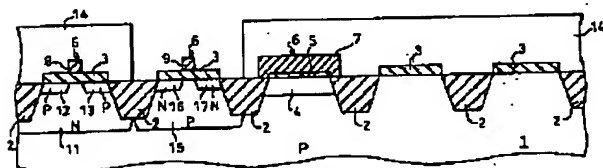
【图4】



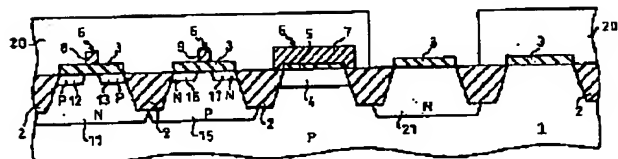
[9]



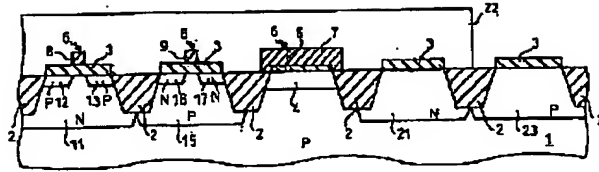
【圖6】



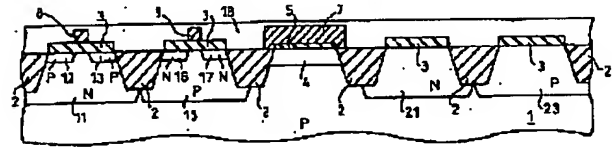
【圖 7】



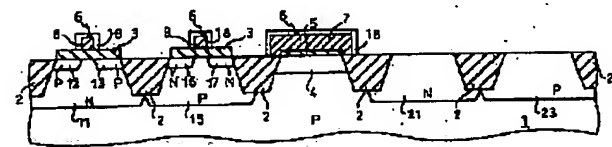
[圖 8]



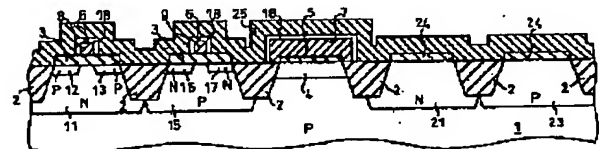
[圖 9]



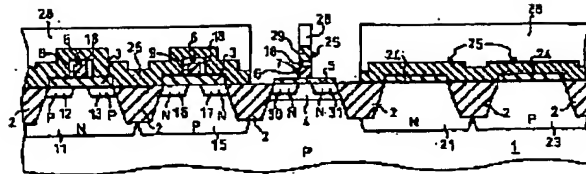
[圖 10]



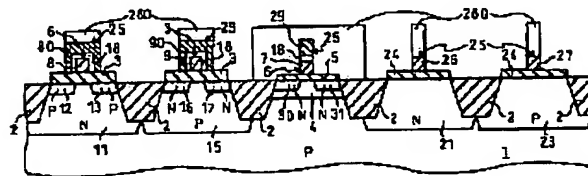
[圖 11]



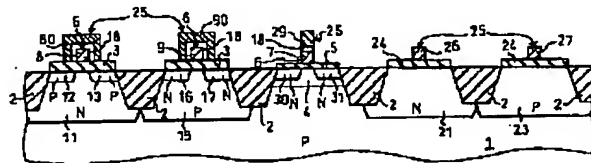
[圖 12]



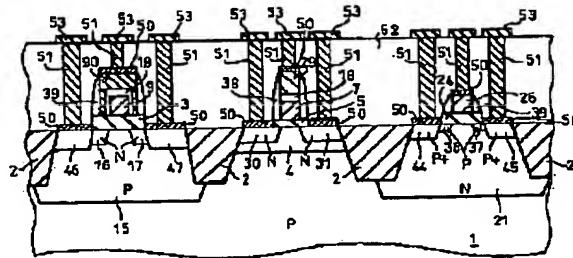
[圖 13]

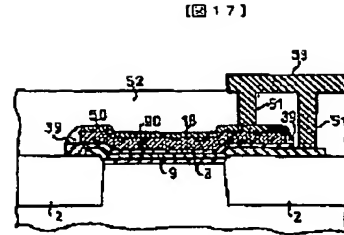
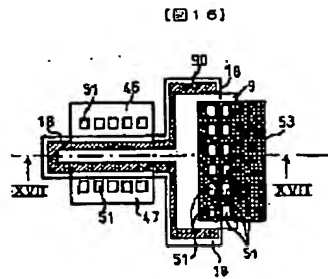


[圖 14]



[圖 15]





フロントページの続き

(51) Int. Cl. 7
H01L 27/115
29/768
29/792

特許記号

F I
H01L 29/78

テ-マコ-ト" (参考)

371

(72) 発明者 アルフォンソ マウレリ
イタリア国 ミラノ 20050 サルビア
テ ヴィア モロ 6
(72) 発明者 エリザベッタ パルンボ

イタリア国 20136 ミラノ ヴィア カ
ルロ ヴィッタディーニ 6
(72) 発明者 ファウスト ビアツァ
イタリア国 ミラノ 20041 アグラテ
ブリアンツァ ヴィア パッティスディ
12

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.